

PAT-NO: JP406021451A

DOCUMENT-IDENTIFIER: JP 06021451 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 28, 1994

INVENTOR-INFORMATION:

NAME

SASE, YASUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP04175381

APPL-DATE: July 2, 1992

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/336, 257/344 , 257/408

ABSTRACT:

PURPOSE: To obtain through simple processes a trench transistor which satisfies the requirements relative to the increase of its integration degree and the reduction of its consuming power, by forming a buried channel while gaining the length of the channel.

CONSTITUTION: In a semiconductor device, first, a nitride film 102 is deposited on a polysilicon film 101 laid on a P-type silicon substrate 100, and the nitride film 102 and the polysilicon film 101 in a channel part are removed. Then, an oxide film 103 is formed in the window part of the nitride

film 102. Subsequently, after removing the nitride film 102 and the oxide film 103, a gate oxide film 104 is formed by a thermal oxidation. Further, using an ion injection method, doping into the channel part is performed. Then, a polysilicon film 106 is deposited on the gate oxide film 104, and by performing an etchback, the polysilicon film 106 is left only in the recessed part of the channel part. Then, source.drain offset diffusion layers 107, 107 and source.drain diffusion layers 108, 108 are formed respectively as source.drain regions. Finally, after forming interlayer insulating films 109, aluminum wirings 110 are formed on the source drain regions, etc.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-21451

(43)公開日 平成6年(1994)1月28日

(51)IntCl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

7377-4M

H01L 29/78

301 V

審査請求 未請求 請求項の数7(全6頁)

(21)出願番号 特願平4-175381

(22)出願日 平成4年(1992)7月2日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 佐瀬 泰規

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

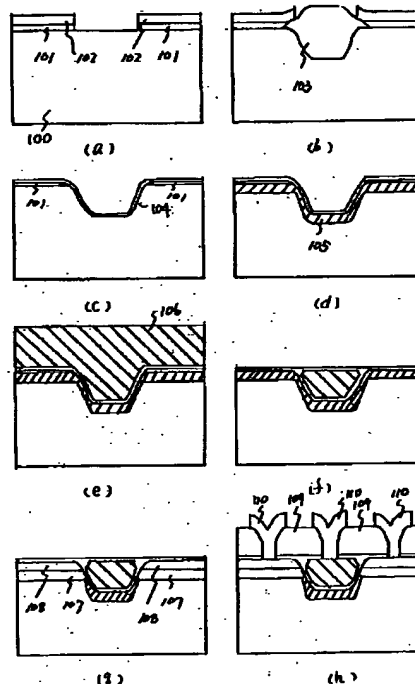
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】トレンチゲート構造MOSトランジスタの製造工程を減らし製造コストを下げ、チャネル長を稼いだまま埋め込みチャネル形トランジスタを容易に形成する方法を提供する。

【構成】a) シリコン基板表面に窒化膜を形成する工程と、b) 半導体表面の所望の領域の窒化膜を除去する工程と、c) 窒化膜を除去した領域を酸化する工程と、d) 前記酸化膜をウエットエッチングにより除去する工程と、e) 薄い酸化膜を形成する工程と、f) 半導体表面の不純物濃度を調整する工程と、g) ゲート電極材とする物質をデポジションする工程と、h) エッチバックにより、前記窒化膜の穴部に形成された酸化膜を除去することにより形成された凹部のみゲート電極材を残し除去する工程と、i) ソース・ドレイン領域を形成する工程と、からなる半導体装置の製造方法。



1

【特許請求の範囲】

【請求項1】 MOS形半導体装置の製造工程に於いて、

- a) シリコン基板表面に窒化膜を形成する工程と、
 - b) 半導体表面の所望の領域の窒化膜を除去する工程と、
 - c) 窒化膜を除去した領域を酸化する工程と、
 - d) 前記酸化膜をウエットエッチングにより除去する工程と、
 - e) 薄い酸化膜を形成する工程と、
 - f) 半導体表面の不純物濃度を調整する工程と、
 - g) ゲート電極材とする物質をデポジションする工程と、
 - h) エッチバックにより、前記窒化膜の穴部に形成された酸化膜を除去することにより形成された凹部のみゲート電極材を残し除去する工程と、
 - i) ソース・ドレイン領域を形成する工程と、
- からなることを特徴とする半導体装置の製造方法。

【請求項2】 MOS形半導体装置の製造工程に於いて、

- a) シリコン基板表面に窒化膜を形成する工程と、
 - b) 半導体表面の所望の領域の窒化膜を除去する工程と、
 - c) 窒化膜を除去した領域を酸化する工程と、
 - d) 前記酸化膜をウエットエッチングにより除去する工程と、
 - e) 薄い酸化膜を形成する工程と、
 - f) 半導体表面の不純物濃度を調整する工程と、
 - g) シリコンを主成分とする導電膜をデポジションする工程と、
 - h) エッチバックにより、前記窒化膜の穴部に形成された酸化膜を除去することにより形成された凹部のみ前記のシリコンを主成分とする膜を残し除去する工程と、
 - i) 熱酸化によりチャンネル両端の酸化膜を厚くする工程と、
 - k) ソース・ドレイン領域を形成する工程と、
- からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 チャンネル領域の不純物濃度を調整するためのイオン注入のイオンビームの入射角を基板に対して傾けることにより、チャンネルのソース側のチャンネルドープ層のチャンネル不純物濃度が高くなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 ソース・ドレイン形成時、高エネルギーのイオン注入による薄い不純物濃度領域形成工程と、低エネルギーのイオン注入による濃い不純物濃度領域形成工程の2回のイオン注入により行なわれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 ソース・ドレイン形成時、高拡散定数不純物のイオン注入と、低拡散定数不純物のイオン注入の

2

2回のイオン注入により行なわれ、その後アニールにより、濃い拡散領域と薄い拡散領域を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 埋め込み型チャンネル構造をもつトランジスタの製造工程に於いて、埋め込みチャンネル形成のためのイオン注入が回転斜めイオン注入法を用いていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 回転斜めイオン注入の注入角度が、溝側壁と底部のなす角のほぼ2等分線方向から行なわれることを特徴とした請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法、特にMOS形半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のプレーナー技術によるMOS形半導体装置の製造方法は、ポリシリコンゲートNチャンネルMOSTランジスタの製造方法について説明すると、図2に示すように、図2(a)のようにP形半導体基板200にLOCOS素子分離201形成後、ゲート酸化膜202を形成し、図2(b)のようにイオン注入によりチャンネル不純物濃度を調整し、さらに図2(c)のようにポリシリコンゲート電極203を形成し、図2(d)のようにソース・ドレイン拡散層204をイオン注入等によりポリシリコンゲートに対してセルフアラインに形成して層間絶縁膜205の形成と配線206を施すことで得られる。

【0003】尚、図中207で示すのはチャンネルドープ層である。

【0004】ところが、半導体装置とくに半導体集積回路に対しては、年々高集積化の要求が高まっている。高集積化に対して行われる素子の微細化の為にトランジスタのチャンネル長はより短くなることが要求されることとなる。しかし、半導体集積回路の使用される環境は従来とは変わらないために、素子に要求される耐圧・しきい値電圧や許されるリーク電流は従来通りのままである。MOS形トランジスタに於て微細化の影響が表面に現れてくる耐圧は、接合耐圧やゲート絶縁膜耐圧やパンチスルー耐圧等が挙げられるが、そのなかでも微細化に一番影響されるのはパンチスルー耐圧である。パンチスルー耐圧を高くするためにはチャンネル方向への空乏層の伸びを抑えるためにチャンネル領域の不純物濃度を上げる必要がある。ところが、チャンネル領域の不純物濃度を上げると接合の耐圧が減少したり、MOSTランジスタのオフ時のリーク電流が増加したりする。

【0005】従ってそれを防ぐのには、素子サイズはなるべく小さくしていてもチャンネル長はできるだけ大きく取ることが重要となってくる。

【0006】また、素子の微細化のためにソース・ドレ

イン領域の拡散深さは浅くなり、チャネル不純物濃度を調整するために形成されるチャネルドーパ層がソース・ドレイン拡散層との間の接合容量を増加させるために半導体集積回路の速度を遅くさせる原因になったり、接合リーク電流が増加する原因となったりする。これを防ぐためにはチャネルドーパ層がチャネル直下のみにさらにはドレイン領域より離れた位置に存在する必要がある。しかし、フォトリソグラフィ技術を用いて部分的にイオン注入を行う方法は限界があるために理想的なチャネルドーパ層不純物分布の実現は難しい。

【0007】更に、素子サイズが小さくなってくると、アスペクト比を大きくとれないために高さ方向もそれに応じて低くする必要がある。ところが、従来のポリシリコンゲートを用いた場合、ポリシリコン膜厚を薄くしなければならず、それによりゲート電極の抵抗を増大させたり、イオン注入のマスクとしての機能を果たさなくなる。従って、素子の微細化に対しゲート電極の膜厚を変えずにトランジスタの高さを低くすることが必要である。

【0008】そこで考案されたのが図3に示すトレンチゲート形埋め込みMOSTランジスタ（以下、トレンチトランジスタと呼ぶ）である。

【0009】このトレンチトランジスタの形成工程をNチャネルMOSTランジスタを例に図3に従い簡単に説明する。

【0010】はじめ、図3(a)に示すように、P形シリコン基板300にチャネル部となる領域をフォトリソグラフィとドライエッチングにより溝状301に形成する。

【0011】つぎに、図3(b)に示すように溝部の角を丸めるための丸め酸化を行なう。そして、図3(c)に示すように丸め酸化膜302を除去した後、ゲート絶縁酸化膜303を形成し、チャネル部の不純物濃度を整えるためにチャネルドーパ304を行なう。このチャネルドーパ層は溝底部のみに形成されることことに注意が必要である。

【0012】さらに、形成した溝にゲート電極とするポリシリコン305をポリシリコンのCVD法によるデポジションとエッチバックを用いて埋め込む。

【0013】次には図3(d)の様に、ソース・ドレイン拡散層306を形成し、最後に図3(f)に示すように層間絶縁膜307と配線308を施して完成する。

【0014】このトランジスタは、ソース・ドレインの拡散深さを浅くすることによりチャネル長を平面寸法以上に長くすることができ、チャネルドーパはチャネル部のみに効くようにイオン注入が可能であり、さらにはゲート電極が埋め込まれているために段差が無いということで、従来構造のトランジスタの問題点をすべて解決しているように見えた。

【0015】

【発明が解決しようとする課題】ところが、従来のトレンチトランジスタには以下のような問題点を有していた。

【0016】チャネル部を溝の底のみで形成したトレンチトランジスタについて考えてみると、チャネルは溝の底と一致しているために平面的な寸法と実チャネル長が等しくなるために通常のMOSTランジスタに比べてもチャネル長を稼ぐことができず、トレンチトランジスタの一つの利点を失ってしまう。そこで、ソース・ドレイン拡散を溝より浅くした構造のチャネルを溝側面と底部の両方で形成したトレンチトランジスタについて以下に考えてみる。

【0017】チャネル領域は、ドライエッチングにより溝を掘り形成しているために、チャネル部のシリコン結晶へのダメージが大きく界面単位密度が増加してしまう上に、溝の底部の角のゲート酸化膜への電界ストレス大きくゲート耐圧を落とす原因となる。そこで通常は、溝形成後表面を熱酸化し酸化膜を除去することで丸め酸化を行なっている。また、丸め酸化を行なっても形状的には鋭角な部分が生じるために耐圧的には不利になっている。

【0018】また、溝の側壁はほぼ垂直に立っているためにイオン注入によるチャネルドーパの注入イオンは溝側面に注入するのが困難である。従って埋め込みチャネル形MOSTランジスタの形成は非常に困難となる。これは、次のような問題を有する。トレンチトランジスタの形成工程においてゲート電極をNチャネル部とPチャネル部のそれぞれで異なる導電型のポリシリコンを埋め込むことは、非常に工程数を増加させる。そこで、工程を短くするためにゲート電極を例えばN形ポリシリコンに限定した場合、Pチャネル部のしきい値電圧は非常に高くなり半導体集積回路に用いることはほぼ不可能となる。従って、高集積な集積回路にCMOS回路を用いることはできなくなる。これは、高集積化とともに半導体集積回路に要求されている低消費電力の要求を満たすことができず致命的な欠点となる。そこで、本発明は従来のトレンチトランジスタの欠点を改善し、工程的にも簡単なトレンチトランジスタの製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】課題を解決するために、MOST形半導体装置の製造工程に於いて、a)シリコン基板表面に窒化膜を形成する工程と、b)半導体表面の所望の領域の窒化膜を除去する工程と、c)窒化膜を除去した領域を酸化する工程と、d)前記酸化膜をウエットエッチングにより除去する工程と、e)ゲート酸化膜を形成する工程と、f)半導体表面の不純物濃度を調整する工程と、g)ゲート電極材とする物質をデポジションする工程と、h)エッチバックにより、前記窒化膜の穴部に形成された酸化膜を除去することにより形成され

た凹部のみゲート電極材を残し除去する工程と、i)ソース・ドレイン領域を形成する工程と、からなることを特徴とする。

【0020】

【実施例】以下に、本発明の1実施例として図1に示すNチャンネルMOSトランジスタの製造方法について説明する。

【0021】まず、図1(a)に示すように、不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のP形シリコン基板100に、表面を1nm酸化させた後、ポリシリコン膜101を5nm敷きその上に窒化膜102を300nmの厚さでCVD法によりデポジションを行い、フォトリソグラフィ工程・ドライエッチング工程を経てチャンネル部の窒化膜102・ポリシリコン膜101をチャンネル長0.5 μm の幅で除去する。

【0022】次に図1(b)に示すように、ウェット雰囲気中で摂氏900~1000度の温度の炉を用いて、5~10時間の酸化をすることで窒化膜の窓の部分に酸化膜103を600~1000nm形成する。

【0023】その次に図1(c)に示すように、熱りん酸により窒化膜102を除去した後、フッ酸でウェットエッチを行い前記の酸化膜103を除去し、ゲート酸化膜104をウェット雰囲気中で摂氏900~1000度の条件で10分ほど熱酸化をして15nmの厚さとする。この酸化膜の膜質を安定させるためには窒素ガス雰囲気中で摂氏約1000度で30分弱アニールするとよい。

【0024】ここで、従来のトレンチトランジスタの形成工程と比べてみると丸め酸化の工程が不要となることが分かる。

【0025】更に、図1(d)に示すようにイオン注入法を用いてチャンネル部へチャネルドーピングを行う。注入条件は本実施例においては加速エネルギー80KeV・ドーズ量 $3.3 \times 10^{12} \text{ cm}^{-2}$ でボロンのイオン注入を行う。このイオン注入の注入角は基板に対してほぼ垂直に行うと、チャンネル中央部の不純物濃度が一番高い分布となる。これは、チャネルドーピング層105とドレイン拡散層108による接合のリーク電流を抑える効果がある。このイオン注入の注入角度をソース側により多くイオン注入されるように斜めイオン注入法を用いれば、さらに特性は向上する。(ただしソース・ドレインの対称性は失ってしまう。)また、溝の側壁が垂直ではないために埋め込みチャンネルを形成する場合、回転式斜めイオン注入を用いて溝の側壁部と底部のなす角の2等分線方向からイオンビームを入射する事により埋め込みチャンネル層が均一に形成可能である。従って、従来のトレンチトランジスタの形成方法ではチャンネル長を稼ぎながら埋め込みチャンネルを形成することは不可能であったが、本発明によりそれが可能となっている。

【0026】次に、図1(e)に示すようにポリシリコ

ン膜106をCVD法により基板表面に厚さ1 μm ほどデポジションする。

【0027】そして、図1(f)に示すようにエッチバックを行いチャンネル凹部にのみポリシリコンを残す。さらに、ゲート酸化膜の弱くなった所を回復させるために、酸素雰囲気中で摂氏950度程度で約30分酸化した後で、窒素雰囲気中で摂氏1000度前後の温度で更に約30分アニールを行う。ここでの酸化はゲートのドレイン端の酸化膜厚を厚くするためにゲート・ドレイン間の破壊耐圧を向上する。

【0028】次に、図1(g)に示すように溝を加速エネルギー約200KeV・ドーズ量約 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、そのうえヒ素を加速エネルギー約60~100KeV・ドーズ量約 $5 \times 10^{15} \text{ cm}^{-2}$ のイオン注入を行い摂氏950度で30分程度アニールを行い、ソース・ドレイン領域を形成する。図中107で示すのは溝によるソース・ドレインオフセット拡散層であり、108で示すのはソース・ドレイン拡散層である。

【0029】最後に、図1(h)に示すように層間絶縁膜109形成後、アルミニウム配線110を施すことによりしきい値電圧が0.7V・オフ耐圧10V・オン耐圧8V・平面的チャンネル長0.5 μm である目的の半導体装置が得られる。

【0030】

【発明の効果】本発明によれば、トレンチトランジスタの特徴であるトランジスタの平面的なサイズを小さくしてもチャンネル長を稼ぐことが出来るという特徴をもつために、従来どおりのリーク電流を許容した場合、このパナスルー耐圧では限界だと考えられていたチャンネル長0.8 μm に対して、本実施例では平面的には0.5 μm のサイズのトランジスタが得られた。又、チャネルドーピングのイオン注入が垂直イオン注入のばあいでもチャンネル中央部の不純物濃度が高くなるように行われるために、ドレイン端の不純物濃度が抑えられ接合耐圧が15%改善された。

【0031】更に、斜めイオン注入を用いた場合は、ソース端のチャネルドーピング層の不純物濃度が上げられ為にさらに特性が改善されるのは言うまでもない。

【0032】又、溝の側壁が垂直になってはいないが構造的にLDDを形成するのにポリシリコンゲートの側壁保護膜を形成する工程が省けるというトレンチトランジスタの特徴は失っていない。

【0033】そして、ポリシリコンゲート電極による段差もトレンチトランジスタ同様に小さくすることが可能となっている。また、溝の形状について見ると側壁が寝ているためにポリシリコンゲート膜を埋め込むときCVD膜のつき周りがよく、そのためにデポジション膜厚を薄くできる。

【0034】その上に、この構造を埋め込みチャンネル形

7

PチャネルMOSトランジスタに応用した場合、従来のトレンチトランジスタと異なり埋め込みチャネル層がソース・ドレイン領域をつなぐように形成できるようになった。そのため従来のトレンチトランジスタの製造方法では不可能であった埋め込みチャネルMOSトランジスタの平面的なチャネル長を減らすことが可能となった。したがって、平面寸法の小さなPチャネルMOSトランジスタとNチャネルMOSトランジスタを同時に形成でき、集積回路へ用いるのに好都合となった。

【0035】さらに、この製造方法によれば溝形成時に酸化とウエットエッチにより形成できるために通常のMOSトランジスタに比べてもチャネルの界面準位を増加させることがなく、あらためて溝部の丸め酸化する必要なくなるために酸化および酸化膜除去の2工程が削減できコストを低減できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す図。

【図2】従来のプレーナ型MOS半導体装置の製造方法を表わす図。

【図3】従来のトレンチゲートMOS型トランジスタの製造方法を示す図。

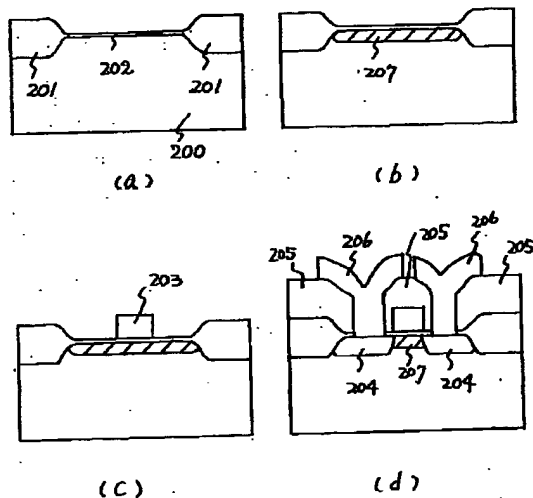
【符号の説明】

100... P形シリコン基板
101... ポリシリコン膜
102... 窒化シリコン膜

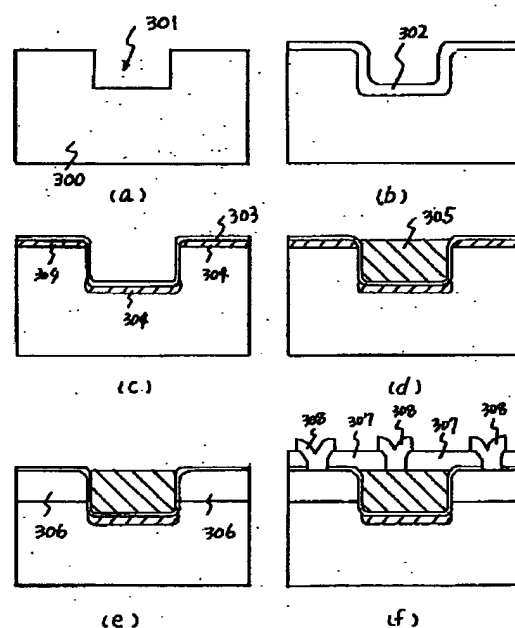
8

103... 酸化膜
104... ゲート絶縁酸化膜
105... チャネルドープ層
106... ポリシリコンゲート電極膜
107... ソース・ドレインオフセット拡散層
108... ソース・ドレイン拡散層
109... 層間絶縁膜
110... アルミニウム配線
200... P形シリコン基板
201... LOCOS素子分離膜
202... ゲート絶縁酸化膜
203... ゲート電極
204... ソース・ドレイン拡散層
205... 層間絶縁膜
206... アルミニウム配線
207... チャネルドープ層
300... P形シリコン基板
301... 溝部
302... 丸め酸化膜
303... ゲート絶縁酸化膜
304... チャネルドープ層
305... ポリシリコンゲート電極
306... ソース・ドレイン拡散層
307... 層間絶縁膜
308... アルミニウム配線

【図2】



【図3】



【図1】

